



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masato HIRAMATSU, et al.

GAU:

SERIAL NO: 10/722,486

EXAMINER:

FILED: November 28, 2003

FOR: SEMICONDUCTOR STRUCTURE, SEMICONDUCTOR DEVICE, AND METHOD AND APPARATUS FOR MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-346806	November 29, 2002
JAPAN	2003-121772	April 25, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 2 9 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 4 6 8 0 6
[ST. 10/C]: [J P 2 0 0 2 - 3 4 6 8 0 6]

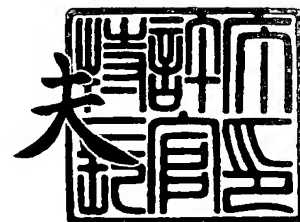
出 願 人
Applicant(s): 株式会社 液晶先端技術開発センター



2 0 0 3 年 1 2 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 PE32-17

【提出日】 平成14年11月29日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその半製品ならびに半製品の製造方法
および製造装置

【請求項の数】 27

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター内

【氏名】 平松 雅人

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター内

【氏名】 木村 嘉伸

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター内

【氏名】 小川 裕之

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター内

【氏名】 十文字 正之

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター内

【氏名】 山元 良高

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社液晶
先端技術開発センター内

【氏名】 松村 正清

【特許出願人】

【識別番号】 501286657

【氏名又は名称】 株式会社液晶先端技術開発センター

【代理人】

【識別番号】 100070024

【弁理士】

【氏名又は名称】 松永 宣行

【手数料の表示】

【予納台帳番号】 008877

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113611

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその半製品ならびに半製品の製造方法および製造装置

【特許請求の範囲】

【請求項 1】 基板と、該基板上の少なくとも一部に直接または間接的に形成された半導体層と、該半導体層上の少なくとも一部に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたゲート電極層とを含む半導体装置の半製品であって、

前記半導体層は、前記ゲート電極層の下方に位置する、結晶化されたチャネル領域と、前記チャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置の半製品。

【請求項 2】 基板と、該基板上の少なくとも一部に直接または間接的に形成されたゲート電極層と、前記ゲート電極層上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された半導体層とを含む半導体装置の半製品であって、

前記半導体層は、前記ゲート電極層の上方に位置する、結晶化されたチャネル領域と、前記チャネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置の半製品。

【請求項 3】 前記チャネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下であり、前記チャネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である、請求項 1 または 2 に記載の半製品。

【請求項 4】 前記チャネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含む、請求項 1 から 3 のいずれか 1 項に記載の半製品。

【請求項 5】 前記チャネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である、請求項 4 に記載の半製品。

【請求項 6】 前記チャネル領域は、前記ソース領域から前記ドレイン領域

に向かう方向における前記チャンネル領域の長さ以上の粒径を有する単一の結晶粒内に位置する、請求項1から5のいずれか1項に記載の半製品。

【請求項7】 基板と、該基板上の少なくとも一部に直接または間接的に形成された半導体層と、該半導体層上の少なくとも一部に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたゲート電極層とを含む半導体装置であって、

前記半導体層は、前記ゲート電極層の下方に位置する、結晶化されたチャンネル領域と、前記チャンネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャンネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置。

【請求項8】 基板と、該基板上の少なくとも一部に直接または間接的に形成されたゲート電極層と、前記ゲート電極層上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された半導体層とを含む半導体装置であって、

前記半導体層は、前記ゲート電極層の上方に位置する、結晶化されたチャンネル領域と、前記チャンネル領域の側方に位置するソース領域およびドレイン領域とを有し、

前記チャンネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む、半導体装置。

【請求項9】 前記チャンネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下であり、前記チャンネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である、請求項7または8に記載の半導体装置。

【請求項10】 前記チャンネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含む、請求項7から9のいずれか1項に記載の半導体装置。

【請求項11】 前記チャンネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である、請求項10に記載の半導体装置。

【請求項12】 前記チャンネル領域は、前記ソース領域から前記ドレイン領域に向かう方向における前記チャンネル領域の長さ以上の粒径を有する単一の結晶

粒内に位置する、請求項 7 から 1 1 のいずれか 1 項に記載の半導体装置。

【請求項 1 3】 半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、前記結晶化された領域上にゲート絶縁層を形成すること、前記ゲート絶縁層上にゲート電極層を形成すること、および前記ゲート電極層の下方に位置する前記結晶化された領域の少なくとも一部をチャンネル領域に設定し、前記半導体層内の前記チャンネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 5 0 n m ~ 1 0 0 0 n m の厚さを有する非晶質半導体層を前記内壁に形成することを含む、半導体装置の半製品の製造方法。

【請求項 1 4】 半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的にゲート電極層を形成すること、前記ゲート電極層上にゲート絶縁層を形成すること、前記ゲート絶縁層上に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、および前記ゲート電極層の上方に位置する前記結晶化された領域の少なくとも一部をチャンネル領域に設定し、前記半導体層内の前記チャンネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 5 0 n m ~ 1 0 0 0 n m の厚さを有する非晶質半導体層を前記内壁に形成することを含む、半導体装置の半製品の製造方法。

【請求項 1 5】 さらに、前記内壁に 1 0 0 ℃ ~ 1 5 0 ℃ の温度でのベーキング処理を施すことを含む、請求項 1 3 または 1 4 に記載の方法。

【請求項 1 6】 前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の前記少なくとも一部に光を照射することを含む、請求項 1 3 から 1 5 のいずれか 1 項に記載の方法。

【請求項 1 7】 前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の少なくとも一部の領域を加熱することを含み、前記加熱は前記領域内の各位置における加熱時間が 1 0 秒以下であるように行う、請求項 1 3 か

ら 1 5 のいずれか 1 項に記載の方法。

【請求項 1 8】 前記加熱は、その時間が 1 秒以下であるように行う、請求項 1 7 に記載の方法。

【請求項 1 9】 基板と、ソース領域、ドレイン領域および結晶化されたチャネル領域を有する半導体層と、ゲート絶縁層と、ゲート電極層とを含む半導体装置の半製品の製造装置であって、アルミニウム含有金属からなる内壁を有する、前記半導体層を形成するための半導体層形成室を含む、半導体装置の半製品の製造装置。

【請求項 2 0】 前記金属はアルミニウムマグネシウム系材料からなる、請求項 1 9 に記載の装置。

【請求項 2 1】 前記金属はアルミニウムマグネシウムシリコン系材料からなる、請求項 1 9 に記載の装置。

【請求項 2 2】 前記金属はアルミニウム銅系材料からなる、請求項 1 9 に記載の装置。

【請求項 2 3】 前記内壁の表面粗さが 6 . 4 マイクロメートル以下である、請求項 1 9 から 2 2 のいずれか 1 項に記載の装置。

【請求項 2 4】 前記内壁はフッ素原子を含んでおり、前記内壁面に、5 0 n m ~ 1 0 0 0 n m の厚さを有する非晶質の半導体層が形成されている、請求項 1 9 から 2 3 のいずれか 1 項に記載の装置。

【請求項 2 5】 前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなる O リングを介して外部から遮断されている、請求項 1 9 から 2 4 のいずれか 1 項に記載の装置。

【請求項 2 6】 前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなる二重の O リングを介して外部から遮断されている、請求項 1 9 から 2 5 のいずれか 1 項に記載の装置。

【請求項 2 7】 さらに、前記二重の O リングの該 2 つの O リング間の間隙内の気体を取り除くための排気装置を含む、請求項 2 6 に記載の装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置およびその半製品ならびに半製品の製造方法および製造装置に関する。

【0002】**【従来の技術】**

半導体装置として、液晶表示装置の画素部用スイッチング素子に用いられる多結晶シリコン薄膜トランジスタのような、複数の結晶粒を含む多結晶半導体薄膜を用いた薄膜トランジスタがある。

【0003】

多結晶半導体薄膜トランジスタでは、その半導体層の一部が、電子や正孔のようなキャリアが移動するための領域すなわちチャネル領域に用いられる。このチャネル領域は1以上の結晶粒を含み、非晶質の場合と比較してキャリアが10倍～100倍程度速く移動することができるので、前記トランジスタはスイッチング素子として電氣的に高速に動作することができ、回路装置における演算処理時間が短いという利点がある。

【0004】

特に、エキシマレーザ結晶化法を用いて製造された多結晶半導体薄膜トランジスタの半導体層は大きな粒径を有する結晶粒を含むので結晶粒界の数が少なく、結晶粒界によるキャリアの移動阻害を最小限にすることができる。

【0005】

しかし、従来の多結晶半導体薄膜トランジスタを液晶表示装置に用いる場合における該トランジスタの構造およびその製造方法に、解決すべき問題がある。この間の事情を、多結晶シリコン薄膜トランジスタの製造方法、特に、従来より広く用いられているエキシマレーザ結晶化法による多結晶シリコン薄膜トランジスタの製造方法を例にあげて説明する。

【0006】

図9（a）に示すように、ガラス基板101上に下地絶縁層102と非晶質シリコン層103とをこの順に形成後、非晶質シリコン層103に脱水素処理を施す。図9（b）に示すように、ガラス基板101を矢印105の方向に走査させ

ながら非晶質シリコン層 103 に照射する。非晶質シリコン層 103 は、図 9 (c) に示すように、多結晶シリコン層 106 になる。多結晶シリコン層 106 の部分的な除去後、図 9 (d) および (e) に示すように、多結晶シリコン層 106 上にゲート絶縁層 107 とゲート電極層 110 とを形成後、ゲート電極層 110 をマスクにして多結晶シリコン層 106 の一部に n 型または p 型の不純物をゲート絶縁層 107 を通して注入し、多結晶シリコン層 106 の一部にソース領域 108 およびドレイン領域 109 を形成する。

【0007】

次に、図 9 (f) を参照するに、層間絶縁層 111 を形成後、加熱処理によりソース領域 108 およびドレイン領域 109 内の不純物の活性化を行い、ソース領域 108 およびドレイン領域 109 の各領域の上方に位置するゲート絶縁層 107 および層間絶縁層 111 の部分にコンタクトホールを形成し、ソース領域 108 およびドレイン領域 109 との電気的な接続のためのソース電極層 112 およびドレイン電極層 113 を形成し、電気的信号の伝達のための金属配線層 114 を形成する。

【0008】

これにより、ソース領域 108 とドレイン領域 109 との間のチャネル領域 115 を流れる電流がゲート電極層 110 への印加電圧すなわちゲート電圧によって制御される多結晶シリコン薄膜トランジスタが得られる（例えば、特許文献 1 を参照。）。

【0009】

【特許文献 1】

特開 2002-289865 号公報（第 4～5 頁、図 1）

【0010】

【発明が解決しようとする課題】

このように、エキシマレーザ結晶化法によれば、大きな粒径を有する結晶粒を含む半導体層が形成され、スイッチング素子として電気的に高速動作が可能な薄膜トランジスタが得られる。しかし、一方、大きな粒径を有する結晶粒による有利な効果を減じさせるような、以下の問題がある。

【0 0 1 1】

(1) チャネル領域には不純物としての元素が含まれ、この元素が原子構造的な欠陥を生じさせ、電気伝導におけるキャリアトラップとして作用し、チャネル領域内のキャリアの移動が阻害される。これは、半導体層を形成するための従来の層形成装置においては、該装置の層形成室内に酸素や炭素のような、大気中に存在する軽元素が残留し、半導体層の形成中に半導体層に混入するからである。

【0 0 1 2】

(2) 半導体層の形成中に、層形成室の内壁材料の成分である金属元素が物理的または化学的に分離または遊離して層形成室内に浮遊し、半導体層に混入し、半導体の電気的特性そのものが変わる。このような金属元素として、クロム、カリウム、ナトリウム、アルミニウム、カルシウム、チタン、亜鉛、コバルト、銅、鉄、ニッケル、モリブデン、マンガン、バナジウム、タングステン等がある。

【0 0 1 3】

(3) ガラス基板の耐熱温度が高々 6 0 0 ℃程度であり、またアニールレスガラスやプラスチック基板の耐熱温度がさらに低いことから、前記軽元素や金属元素を半導体層から除去するための高温でのゲッターリング処理を適用することができない。

【0 0 1 4】

前記不純物となる元素に関して、前記特開 2 0 0 2 - 2 8 9 8 6 5 号公報には、酸素、窒素などの個数を 1 cm^3 当たり 5×10^{18} 個以下、好ましくは 1 cm^3 当たり 1×10^{18} 個に低減させておくことが開示されている。しかし、前記公報は、単一の軽元素について開示するに留まり、複数の軽元素と半導体層の原子構造上の微小欠陥については考慮されていない。

【0 0 1 5】

本発明の目的は、電気的な特性が向上された半導体装置および半導体装置の電気的な特性を向上させる半導体装置の半製品ならびに半製品の製造方法および製造装置を提供することにある。

【0016】

【課題を解決する解決手段、作用及び効果】

本発明に係る半導体装置の半製品は、基板と、該基板上の少なくとも一部に直接または間接的に形成された半導体層と、該半導体層上の少なくとも一部に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたゲート電極層とを含む半導体装置の半製品であって、前記半導体層は、前記ゲート電極層の下方に位置する、結晶化されたチャネル領域と、前記チャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0017】

本発明に係る、他の半導体装置の半製品は、基板と、該基板上の少なくとも一部に直接または間接的に形成されたゲート電極層と、前記ゲート電極層上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された半導体層とを含む半導体装置の半製品であって、前記半導体層は、前記ゲート電極層の上方に位置する、結晶化されたチャネル領域と、前記チャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0018】

本発明に係る半導体装置の半製品によれば、チャネル領域中の炭素原子および酸素原子の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下であることから、キャリアの移動を阻害する原子構造上の微小欠陥が極めて少ない。

【0019】

このため、キャリアがチャネル領域内を高速に移動することができ、スイッチング素子として電氣的に高速動作が可能である半導体装置を得ることができ、これにより、半導体装置の電氣的な特性を向上させることができる。

【0020】

好ましくは、前記チャネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{18}

7 個以下であり、前記チャネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である。これにより、さらに不純物元素の少ない高品質の半導体層が形成され、より優れた電氣的な特性を有する半導体装置の半製品とすることができる。

【0021】

前記チャネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含むものとすることができる。これにより、酸素原子、炭素原子によって生じた微小欠陥に金属原子がトラップされ、半導体層の抵抗率の低下の要因となる金属酸化物の半導体層中での生成が抑制され、より優れた電氣的な特性を有する半導体装置の半製品とすることができる。

【0022】

好ましくは、前記チャネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である。これにより、さらに金属酸化物の生成が抑制され、より優れた電氣的な特性を有する半導体装置の半製品とすることができる。

【0023】

前記チャネル領域は、例えば、前記ソース領域から前記ドレイン領域に向かう方向における前記チャネル領域の長さ以上の粒径を有する単一の結晶粒内に位置する。これにより、チャネル領域内から結晶粒界が排除され、キャリアはチャネル領域内を結晶粒界によって阻害されることなく移動することができ、チャネル領域中の酸素原子および炭素原子の個数をいずれも 1 cm^3 当たり 1×10^{18} 個以下としたことの効果がより一層発揮される。

【0024】

本発明に係る半導体装置は、基板と、該基板上の少なくとも一部に直接または間接的に形成された半導体層と、該半導体層上の少なくとも一部に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたゲート電極層とを含む半導体装置であって、前記半導体層は、前記ゲート電極層の下方に位置する、結晶化されたチャネル領域と、前記チャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0025】

本発明に係る、他の半導体装置は、基板と、該基板上の少なくとも一部に直接または間接的に形成されたゲート電極層と、前記ゲート電極層上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成された半導体層とを含む半導体装置であって、前記半導体層は、前記ゲート電極層の上方に位置する、結晶化されたチャネル領域と、前記チャネル領域の側方に位置するソース領域およびドレイン領域とを有し、前記チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0026】

本発明に係る半導体装置によれば、チャネル領域中の炭素原子および酸素原子の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下であることから、キャリアの移動を阻害する原子構造上の微小欠陥が極めて少ない。このため、キャリアがチャネル領域内を高速に移動することができ、スイッチング素子として電氣的に高速動作が可能な、優れた電氣的特性を有する半導体装置を得ることができる。

【0027】

好ましくは、前記チャネル領域の酸素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下であり、前記チャネル領域の炭素原子の個数は 1 cm^3 当たり 5×10^{17} 個以下である。これにより、さらに不純物元素の少ない高品質の半導体層を含む、より優れた電氣的な特性を有する半導体装置とすることができる。

【0028】

前記チャネル領域は、さらに、 1 cm^3 当たり 1×10^{17} 個以下の金属原子を含むものとすることができる。これにより、半導体層の抵抗率の低下の要因となる金属酸化物の半導体層中での生成が抑制され、より優れた電氣的な特性を有する半導体装置とすることができる。

【0029】

好ましくは、前記チャネル領域の金属原子の個数は 1 cm^3 当たり 5×10^{16} 個以下である。これにより、さらに金属酸化物の生成が抑制され、より優れた電氣的な特性を有する半導体装置とすることができる。

【0030】

前記チャネル領域は、例えば、前記ソース領域から前記ドレイン領域に向かう方向における前記チャネル領域の長さ以上の粒径を有する単一の結晶粒内に位置する。これにより、チャネル領域内から結晶粒界が排除され、キャリアはチャネル領域内を結晶粒界によって阻害されることなく移動することができ、チャネル領域中の酸素原子および炭素原子の個数をいずれも 1 cm^3 当たり 1×10^{18} 個以下としたことの効果がより一層発揮される。

【0031】

本発明に係る半導体装置の半製品の製造方法は、半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、前記結晶化された領域上にゲート絶縁層を形成すること、前記ゲート絶縁層上にゲート電極層を形成すること、および前記ゲート電極層の下方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50 \text{ nm} \sim 1000 \text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含み、これにより、前記半導体装置の半製品を製造することができる。

【0032】

本発明に係る、他の半導体装置の半製品の製造方法は、半導体層形成室内に配置された基板上の少なくとも一部に直接または間接的にゲート電極層を形成すること、前記ゲート電極層上にゲート絶縁層を形成すること、前記ゲート絶縁層上に半導体層を形成すること、前記半導体層の少なくとも一部の領域を結晶化すること、および前記ゲート電極層の上方に位置する前記結晶化された領域の少なくとも一部をチャネル領域に設定し、前記半導体層内の前記チャネル領域の両側にソース領域およびドレイン領域を形成することを含む、半導体装置の半製品の製造方法であって、前記半導体層を形成する前に、前記半導体層形成室の内壁にフッ素系ガスでエッチング表面処理を施し、その後 $50 \text{ nm} \sim 1000 \text{ nm}$ の厚さを有する非晶質半導体層を前記内壁に形成することを含む。

【 0 0 3 3 】

本発明に係る半導体装置の半製品の製造方法は、さらに、前記内壁に 1 0 0 ℃ ～ 1 5 0 ℃ の温度でのベーキング処理を施すことを含むことができる。これにより、半導体層の形成前に予め内壁中の不純物元素を分離または遊離させて取り除くことができ、半導体層の形成中に内壁中の不純物元素が混入することを防止することができる。

【 0 0 3 4 】

前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の前記少なくとも一部に光を照射することを含むものとして行うことができる。これにより、光照射により半導体層の少なくとも一部が熔融され、固化過程において結晶化され、半導体層の少なくとも一部の領域が結晶化される。

【 0 0 3 5 】

前記半導体層の少なくとも一部の領域を結晶化することは、前記半導体層の少なくとも一部の領域を加熱することを含み、前記加熱は前記領域内の各位置における加熱時間が 1 0 秒以下であるように行うものとして行うことができる。これにより、加熱により半導体層の少なくとも一部が熔融され、固化過程において結晶化され、半導体層の少なくとも一部の領域が結晶化される。好ましくは、前記加熱はその時間が 1 秒以下である。これにより、結晶化中高温となる膜へのコンタミネーション現象による半導体層の汚染を抑制することができる。

【 0 0 3 6 】

本発明に係る半導体装置の半製品の製造装置は、基板と、ソース領域、ドレイン領域および結晶化されたチャネル領域を有する半導体層と、ゲート絶縁層と、ゲート電極層とを含む半導体装置の半製品の製造装置であって、アルミニウム含有金属からなる内壁を有する、前記半導体層を形成するための半導体層形成室を含む。

【 0 0 3 7 】

本発明に係る半導体装置の半製品の製造装置によれば、内壁成分である金属元素が半導体層の形成中に層形成室内に進出して半導体層に混入することを防止することができる。

【 0 0 3 8 】

これにより、チャネル領域中の炭素および酸素の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下である、スイッチング素子として電氣的に高速動作が可能な、半導体装置の電氣的な特性を向上させる、半導体装置の半製品を製造することができる。

【 0 0 3 9 】

前記金属はアルミニウムマグネシウム系材料、アルミニウムマグネシウムシリコン系材料あるいはアルミニウム銅系材料からなるものとすることができる。

【 0 0 4 0 】

好ましくは、前記内壁の表面粗さは 6.4 マイクロメートル 以下である。これにより、内壁は不純物元素の付着が抑制されような平滑な表面を有し、また、内壁の清浄な状態を長期間にわたって保つことができる。

【 0 0 4 1 】

好ましくは、前記内壁はフッ素原子を含んでおり、前記内壁面に、 $50 \text{ nm} \sim 1000 \text{ nm}$ の厚さを有する非晶質の半導体層が形成されている。これにより、内壁に含まれるフッ素原子が層形成室内に進出することを非晶質の半導体層によって抑制することができる。

【 0 0 4 2 】

好ましくは、前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなる O リングを介して外部から遮断されている。これにより、内壁のベーキング処理時の加熱による O リングの損傷を最小限にすることができる。さらに好ましくは、前記半導体層形成室は、耐熱性を有するフッ素系ゴムからなる二重の O リング、例えば径の異なる 2 つの O リングを介して外部から遮断されている。これにより、外部からの遮断を確実にし、また O リングの損傷をより一層少なくすることができる。さらに、前記半導体層形成室は、前記二重の O リングの該 2 つの O リング間の間隙内の気体を取り除くための排気装置を含むものとすることができる。これにより、半導体層形成室の汚染原因になる前記間隙内の気体を除去することができる。

【 0 0 4 3 】

【発明の実施の形態】

図1(a)を参照するに、半導体装置の半製品10は、基板12と、半導体層14と、ゲート絶縁層16と、ゲート電極層18と、必要に応じて配置される下地絶縁層20とを含む。

【0044】

基板12として、シリコンまたは他の半導体を含む半導体基板、ガラスのような絶縁性基板を用いることができる。絶縁性基板は、例えば、コーニング社の1737ガラス、熔融石英、サファイア、プラスチック、ポリイミド等の材料で形成される。図示の例では、基板12は1737ガラス基板からなる。

【0045】

半導体層14として、シリコン（以下「Si」という。）、シリコンゲルマニウム（以下「SiGe」という。）のような半導体を含む層を用いることができる。図示の例では、半導体層14はSiからなる。半導体層14は、基板12上に間接的に形成されている。すなわち、図示の例では、下地絶縁層20上に形成されている。半導体層14は、図示の例に代えて、下地絶縁層20を介在させることなく基板12上に直接に形成してもよい。

【0046】

半導体層14は、ゲート電極層18の下方に位置する、結晶化されたチャネル領域22と、チャネル領域22の側方に位置するソース領域24およびドレイン領域26とを有する。図示の例では、チャネル領域22の右側にソース領域24が、また左側にドレイン領域26が位置しているが、この逆であってもよい。

【0047】

チャネル領域22は、電子または正孔のようなキャリアがソース領域24とドレイン領域26との間を移動するための領域である。チャネル領域22内のキャリアの移動は、ゲート電極層18へのゲート電圧の印加によって制御される。ソース領域24およびドレイン領域26は、p型またはn型の不純物を含有する。図示の例では、n型の不純物を含む。

【0048】

ゲート絶縁層16は、電氣的絶縁機能を有する酸化物からなるものとする

ができる。図示の例では、ゲート絶縁層 16 は、二酸化ケイ素（以下「 SiO_2 」という。）からなり、半導体層 14 上に形成されている。ゲート絶縁層 16 は、例えば電界効果トランジスタのゲート絶縁層として用いられる。

【0049】

下地絶縁層 20 として、二酸化ケイ素（以下「 SiO_2 」という。）、窒化ケイ素（以下「 SiN 」という。）、窒化ケイ素と二酸化ケイ素との 2 層構造物（以下「 SiN/SiO_2 」という。）、アルミナ、マイカ等の酸化物からなるものとすることができる。図示の例では、下地絶縁層 20 は、 SiO_2 からなる。下地絶縁層 20 は、基板 12 上に形成され、基板 12（具体的にはガラス基板）中の不純物が半導体層 14 へ移動することを防止する役割を果たす。図示の例に代えて、下地絶縁層 20 を下側が SiN 層および上側が SiO_2 層の二層構造からなるものとすれば、前記不純物の移動を防止する効果がより一層増す。

【0050】

半製品 10 は、図 1 (a) に示す例では、チャネル領域 22 に、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【0051】

チャネル領域 22 中の炭素原子および酸素原子の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下であるので、これらの元素に起因するチャネル領域 22 の結晶構造上の微小欠陥が極めて少ない。このようにチャネル領域 22 の微小欠陥が極めて少ないので、キャリアはその移動を阻害されることなくチャネル領域 22 内を高速に移動することができる。

【0052】

半製品 10 を用いた半導体装置は、スイッチング素子として電氣的な高速動作が可能であり、良好な電氣的特性を有する。

【0053】

チャネル領域 22 中の酸素原子および炭素原子のいずれの個数をも 1 cm^3 当たり 5×10^{17} 個以下とするときは、さらに不純物元素の少ない高品質の半導体層とすることができる。

【0054】

さらに、チャネル領域22中の金属原子の個数が 1 cm^3 当たり 1×10^{17} 個以下であるとき、半導体層の抵抗率の低下の要因となる金属酸化物の半導体層中での生成が抑制され、また金属原子の個数が 1 cm^3 当たり 5×10^{16} 個以下であるときは、さらに金属酸化物の生成が抑制される。

【0055】

チャネル領域22を、ソース領域24からドレイン領域26に向かう方向におけるチャネル領域22の長さ以上の粒径を有する単一の結晶粒内に配置すれば、チャネル領域22に結晶粒界が存在しなくなり、結晶粒界が存在する場合におけるキャリアのチャネル領域22の移動障害が解消される。チャネル領域22の酸素および炭素の原子の個数をいずれも 1 cm^3 当たり 1×10^{18} 個以下としたことの効果がこれによってさらに発揮される。実用的には、結晶粒径をチャネル領域22の4分の1以上の長さ、例えばチャネル領域22が $2\text{ }\mu\text{m}$ の長さを有するときの結晶粒径を $0.5\text{ }\mu\text{m}$ 以上の長さとするれば、キャリアがチャネル領域22内で遭遇する結晶粒界の数を比較的少なくすることができ、不純物元素排除の効果が確認される。

【0056】

ソース領域24からドレイン領域26に向かう方向におけるチャネル領域22の長さ（描画ゲート長）は、チャネル領域22上方のゲート電極層18の同方向における長さ（実効ゲート長）より長い。少なくとも実効ゲート長の範囲において、結晶粒界がなく、酸素および炭素の原子の個数がいずれも 1 cm^3 当たり 1×10^{18} 個以下であれば前記効果が発揮される。さらに、描画ゲート長の範囲であれば、その効果がより一層発揮される。

【0057】

チャネル領域22が酸素および炭素の各原子のいずれをも 1 cm^3 当たり 1×10^{18} 個以下含むことによりチャネル領域22の結晶構造上の微小欠陥が極めて少ないことについては、以下にさらに詳しく説明する。

【0058】

1. 酸素および炭素と積層欠陥密度との相関関係

1 cm³ 当たりの酸素原子の個数すなわち酸素濃度 (atoms/cm³) と、1 cm³ 当たりの炭素原子の個数すなわち炭素濃度 (atoms/cm³) と、半導体層 14 の 1 cm³ 当たりの結晶構造欠陥の量すなわち積層欠陥密度 (1/cm³) との相関関係を調べた。

【0059】

試料を次のように作製した。前記したコーニング社製の #1737 ガラスからなる基板 12 上に、50 nm の厚さを有する窒化ケイ素 (SiN_x) の層と 100 nm の厚さを有する酸化ケイ素 (SiO_x) の層とをこの順に積層した二重構造を有する下地絶縁層 20 を形成した。下地絶縁層 20 上に 200 nm の厚さを有する非晶質シリコン層を形成した。

【0060】

この試料の非晶質シリコン層中の酸素、炭素およびニッケルの各元素の濃度を、フランス国クルブヴオワのカメカ (CAMECA) 社製の二次イオン質量分析 (以下「SIMS」という。) 装置で測定した。二次イオン質量分析法では、照射イオンとして例えば O⁺、Cs⁺ 等の希ガスイオンを用いたイオンビームを層上方から層に照射し、スパッタリング現象により層表面から放出される層中の原子または分子から発生する二次イオンを質量分析計によって元素分析を行う。イオンビームの連続的な照射によりスパッタリング現象を継続させて層のエッチングを行いながら層の深さ方向の元素分析を行う。

【0061】

前記非晶質シリコン層形成直後の該非晶質シリコン層中の前記各元素濃度をそれぞれ初期濃度とした。各元素の初期濃度の測定結果に関して、酸素は 2×10^{17} atoms/cm³ 以下、炭素は 3×10^{16} atoms/cm³ 以下、ニッケルは 5×10^{15} atoms/cm³ 以下の初期濃度の値が得られた。ニッケルの初期濃度の値は、前記 CAMECA 社製の SIMS 装置の分析下限の値である。

【0062】

前記初期濃度を有する各元素を含む非晶質シリコン層に酸素と炭素とをイオン注入法により注入した。図 2 に示す表 1 のように、炭素の 3 種類の各注入条件に

ついて酸素を異なる 5 つの注入条件で注入し、15 種類の試料群を作製した。加速エネルギーは、注入元素が非晶質シリコン層に注入されるように該元素原子の運動のために与えられるエネルギーである。炭素の加速エネルギーは 100 KeV、酸素の加速エネルギーは 130 KeV である。ドーズ量は、単位面積（図示の例では 1 cm^2 である。）を通過する注入元素原子の個数を表す。

【0063】

前記注入された炭素および酸素の各ドーズ量に対する非晶質シリコン層中の平均体積濃度を、図 3 に示す表 2 に示す。この平均体積濃度を有する炭素および酸素を含む各非晶質シリコン層に、300 nm の厚さを有する酸化ケイ素 (SiO_x) からなる絶縁層（以下「キャップ層」という。）を形成した後、光の少なくとも一部の位相を変える位相シフターを通して KrF エキシマレーザ光を照射してアニール処理を施し、非晶質シリコンを多結晶化させ、多結晶シリコン層に変えた。照射条件は、照射回数を 1 回、照射フルエンスを照射面内で平均 560 mJ/cm^2 とした。前記キャップ層は、KrF エキシマレーザ光の照射のときに前記非晶質シリコン層の一部のシリコンが蒸発等により消失すること（アブレーション現象）を防止する。

【0064】

前記レーザアニールにより結晶化された多結晶シリコン層の X 線回折像を X 線回折法により得、その回折像のピーク・シフトを解析することにより多結晶シリコン層の結晶構造の微小な欠陥を調べることによって、図 4 に示すような、多結晶シリコン層の積層欠陥密度の値が得られた。

【0065】

図 4 において点線で示した測定下限は、積層欠陥密度の測定における測定値の再現性すなわち信頼性を考慮して定められたものである。現時点での X 線回折装置における回折像のピーク・シフトの解析においては、積層欠陥密度が極めて低いとき、解析結果は、解析装置の解析性能または解析者の解釈に依存し、この性能や解釈によって異なるからである。

【0066】

図 4 からわかるように、炭素および酸素の各濃度のいずれもが $1 \times 10^{18}\text{ a}$

t o m s / c m ³ 以下であると、積層欠陥密度の値は測定下限近くまで下がる。さらに、炭素および酸素の各濃度のいずれもが 5×10^{17} a t o m s / c m ³ 以下であるとき、積層欠陥密度の値は測定下限以下である。

【0067】

2. 酸素、炭素および金属元素と積層欠陥密度との相関関係

次に、前記初期濃度を有する各元素を含む非晶質シリコン層に酸素および炭素に加え金属元素としてニッケル（以下「Ni」という。）を注入した場合について説明する。Niは原子量が約59と重いため、非晶質シリコン層上に前記キャップ層があると非晶質シリコン層内にNiを十分に注入することが難しい。このため、非晶質シリコン層の形成後かつキャップ層の形成前に非晶質シリコン層へのNiの注入処理を施し、キャップ層の形成後に酸素および炭素の注入処理を施した。

【0068】

図5に示す表3のように、9種類の試料群を作製した。注入されたNiのドーズ量に対する非晶質シリコン層中の平均体積濃度を、図6の表4に示す。この試料に、前記と同様に位相シフターを通してKrFエキシマレーザ光を照射することにより行うレーザアニール処理を施し、非晶質シリコンを多結晶化させ、多結晶シリコン層に変えた。

【0069】

前記と同様に、X線回折像のピーク・シフト解析により多結晶シリコン層の結晶構造の微小な欠陥を調べ、図7に示すような、多結晶シリコン層の積層欠陥密度の値が得られた。

【0070】

図7からわかるように、炭素および酸素の各濃度のいずれもが 1×10^{18} a t o m s / c m ³ 以下かつニッケルの濃度が 1×10^{17} a t o m s / c m ³ 以下であると、積層欠陥密度の値は測定下限近くまで下がる。さらに、炭素および酸素の各濃度のいずれもが 5×10^{17} a t o m s / c m ³ 以下かつニッケルの濃度が 1×10^{17} a t o m s / c m ³ 以下であるとき、積層欠陥密度の値は測定下限以下である。さらに、ニッケルの濃度が 5×10^{16} a t o m s / c m ³

以下であるとき、積層欠陥密度の値が測定下限以下であることの確実性が増す。

【0071】

次に、図1(a)に示す半導体の半製品10の製造方法について説明する。

【0072】

まず、半導体層14を形成するために基板12が配置される半導体層形成室（図示せず）の内壁に、三窒化フッ素ガスのようなフッ素系ガスでエッチング表面処理を施し、内壁のクリーニングを行う。次いで、このエッチング表面処理により内壁に混入したフッ素が、再び内壁から分離して半導体層形成室内に生じることがないように、50nm～1000nmの厚さを有する非晶質半導体層を内壁面に形成する。基板12上に下地絶縁層20を形成するときは、例えばプラズマ化学気相成長法により下地絶縁層20としてのSiO₂層を形成した後に内壁に前記処理を施す。

【0073】

量産用のCVD装置では、使用環境や使用頻度を考慮して、装置の半導体層形成室内壁のクリーニング処理を真空中で施すことが必要である。例えば、半導体層形成室内壁への半導体層材料の累積の付着膜厚が10μmになる毎に、または1ロット毎に、ハロゲン系ガスやフッ化物ガスによる内壁クリーニング処理を行う。

【0074】

半導体層形成室の内壁に前記処理を施した後、下地絶縁層20上に非晶質半導体層として例えば非晶質シリコン層をプラズマ化学気相成長法により形成する。次いで、非晶質シリコン層に、300nmの厚さを有する酸化ケイ素からなる絶縁層（前記キャップ層）を形成した後、前記シリコン層の脱水素処理を行う。

【0075】

次に、非晶質シリコン層の少なくとも一部の領域を結晶化すべく光として例えばKrFエキシマレーザ光を、例えば照射回数を1回、照射フルエンスを照射面内で平均560mJ/cm²とする照射条件で、位相シフターを通して非晶質シリコン層に照射し、非晶質シリコン層を多結晶シリコン層に変える。位相シフターを通ったレーザ光の一部は位相差による干渉によって高光強度を有する光とし

て非晶質シリコン層に入射し、非晶質シリコン層の一部を高温にさせ、周囲の低温のシリコンの一部が結晶の核になって層面に平行な方向すなわち横方向に結晶成長が生じ、大きな結晶粒が形成される。

【0076】

次いで、前記キャップ層を例えば緩衝フッ酸によるウェットエッチング法により除去した後、回路パターンに合わせて多結晶シリコン層を部分的に除去し、結晶化された領域を含む半導体層 14 を形成する。

【0077】

半導体層 14 を覆うゲート絶縁層 16 として例えば SiO_2 層をプラズマ化学気相成長法により形成した後、半導体層 14 の結晶化された領域の一部の上方のゲート絶縁層 16 上の一部にゲート電極層 18 を形成する。その後、ゲート電極層 18 をマスクにして半導体層 14 の一部に n 型または p 型の不純物をゲート絶縁層 16 を通して注入し、半導体層 14 の一部にソース領域 24 およびドレイン領域 26 を形成する。これによって、ゲート電極層 18 の下方に位置する、結晶化領域の一部がチャンネル領域に設定される。このようにして、半導体装置の半製品 10 を製造することができる。

【0078】

この後、図 9 (f) を参照して説明した層間絶縁層 111 と同様の層間絶縁層を形成し、次いで加熱処理によりソース領域 24 およびドレイン領域 26 内の不純物の活性化を行う。この後、ソース領域 24 およびドレイン領域 26 の各領域の上方に位置するゲート絶縁層 16 および前記層間絶縁層の部分に、図 9 (f) を参照して説明したコンタクトホールと同様のコンタクトホールを形成する。次いで、ソース領域 24 およびドレイン領域 26 との電気的な接続のための、図 9 (f) を参照して説明したソース電極層 112 およびドレイン電極層 113 と同様のソース電極層およびドレイン電極層を形成し、電気的信号の伝達のための、図 9 (f) を参照して説明した金属配線層 114 と同様の金属配線層を形成する。これにより、ソース領域 24 とドレイン領域 26 との間のチャンネル領域 22 を流れる電流がゲート電極層 18 への印加電圧すなわちゲート電圧によって制御される、半導体装置としての多結晶シリコン薄膜トランジスタが得られる。

【 0 0 7 9 】

前記半導体装置の半製品の製造において、さらに、半導体層の形成前に、半導体層形成室の内壁に 1 0 0 ℃～1 5 0 ℃の温度でのベーキング処理を施すことにより、内壁中の不純物元素が分離または遊離により取り除かれ、半導体層の形成中、これに内壁中の不純物元素が混入することが防止される。

【 0 0 8 0 】

前記光の照射は、半導体層の前記光の照射を受ける各位置において半導体が前記光の照射により溶融されて結晶化するまでの時間が 1 0 秒以下であるように、さらに好ましくは、前記時間は 1 秒以下であるように行うことにより、光照射中に生じるコンタミネーション現象による半導体層の汚染が抑制される。

【 0 0 8 1 】

前記説明では、半導体層の少なくとも一部の領域を結晶化するために、半導体層の前記一部に光例えばレーザ光を照射することにより行うとしたが、ランプアニール処理方法のようにレーザ光以外の光を照射するようにしてもよい。また、光を照射する代わりに、例えば窒素雰囲気下での固相成長法のように半導体層の少なくとも一部の領域を加熱することにより半導体層の非晶質シリコンを結晶化させるようにしてもよい。前記加熱は前記領域内の各位置における加熱時間が 1 0 秒以下であるように、さらに好ましくは、前記時間は 1 秒以下であるように行うことにより、結晶化中高温となる膜へのコンタミネーション現象による半導体層の汚染を抑制することができる。

【 0 0 8 2 】

前記半導体装置の半製品およびその製造方法においては、ゲート絶縁層 1 6 が半導体層 1 4 を覆うように積層されるものとしたが、図 8 に示すように、ゲート絶縁層 1 6 が半導体層 1 4 のチャネル領域 2 2 のほぼ上方部分にのみ形成されるものであってもよい。図 8 に示すように、ゲート電極層 1 8 と、半導体層 1 4 のソース領域 2 4 およびドレイン領域 2 6 とを覆うように層間絶縁層 2 8 を形成した後コンタクトホールを形成し、その後、ソース電極層 3 0、ドレイン電極層 3 2 および金属配線層 3 4 を形成することにより半導体装置が得られる。

【 0 0 8 3 】

前記半導体装置の半製品の製造方法においては、前記キャップ層をすべて除去するものとしたが、前記キャップ層をゲート絶縁層 16 と同じ厚さを有するまでエッチングしてゲート絶縁層 16 として用いてもよい。

【0084】

前記半導体装置の半製品の製造方法においては、アニール処理を光を位相シフターを通して非晶質シリコン層に照射して行うものとしたが、位相シフターを用いずに光を直接非晶質シリコン層に照射してもよい。この場合には、位相シフターを用いる場合と比べて、シリコン層に形成される結晶粒の大きさが小さいという点で劣るが、位相シフターを用いないときの光照射の照射フルエンスが位相シフターを用いる場合と比べて比較的小さいことから、前記キャップ層の形成を必要としないという利点を有する。

【0085】

本発明に係る半導体装置にあっては、前記したように、チャネル領域中の酸素原子および炭素原子のそれぞれの個数が 1 cm^3 当たり 1×10^{18} 個以下であるか、または、チャネル領域中の酸素原子、炭素原子および金属原子のそれぞれの個数が 1 cm^3 当たり 1×10^{18} 個以下、 1×10^{18} 個以下および 1×10^{17} 個以下である。これらの個数は、半導体装置の製造が完了したときの数値である。したがって、前記した例に代えて、前記個数以上の元素を有する非晶質のまたは結晶化された半導体層を予め形成しておき、その後における半導体装置の製造段階、例えば余分な原子を除去する低温でのゲッタリング工程で各元素原子の個数を前記個数以下になるように調整してもよい。

【0086】

図 1 (a) を参照して説明した前記半導体装置の半製品にあっては、半導体層とゲート絶縁層とゲート電極層とがこの順に上方に積層され、半導体層は、ゲート電極層の下方に位置する、結晶化されたチャネル領域と、前記チャネル領域の側方に位置するソース領域およびドレイン領域とを有するものとした。これに代えて、図 1 (b) に示すように、ゲート電極層 18 とゲート絶縁層 16 と半導体層 14 とがこの順に上方に積層され、半導体層 14 は、ゲート電極層 18 の上方に位置するチャネル領域 22 とチャネル領域 22 の側方に位置するソース領域 2

4 およびドレイン領域 2 6 とを有してもよい。

【0 0 8 7】

また、図 1 (a) を参照して説明した前記半導体装置に代えて、ゲート電極層とゲート絶縁層と半導体層とがこの順に上方に積層され、半導体層は、ゲート電極層の上方に位置するチャンネル領域とチャンネル領域の側方に位置するソース領域およびドレイン領域とを有してもよい。

【0 0 8 8】

図 1 (b) に示す、半導体装置の半製品の製造にあつては、下地絶縁層 2 0 の形成後、ゲート電極層 1 8 を形成し、ゲート電極層 1 8 を覆うようにゲート絶縁層 1 6 を形成する。ゲート絶縁層 1 6 は、下地絶縁層 2 0 上にも形成されるように伸びている。

【0 0 8 9】

次に、ゲート絶縁層 2 0 上に非晶質半導体層として例えば非晶質シリコン層をプラズマ化学気相成長法により形成する。次いで、非晶質シリコン層に前記と同様に前記キャップ層を形成した後、前記シリコン層の脱水素処理を行う。次に、非晶質シリコン層の少なくとも一部の領域を結晶化すべく光として例えば K r F エキシマレーザ光を、前記と同様の照射条件で、位相シフターを通して非晶質シリコン層に照射し、非晶質シリコン層を多結晶シリコン層に変える。次いで、前記キャップ層を例えば緩衝フッ酸によるウェットエッチング法により除去する。

【0 0 9 0】

次に、チャンネル領域 2 2 上に、ゲート電極層 1 8 のパターン寸法とほぼ等しいパターンを有するレジスト層を形成し、このレジスト層をマスクにして半導体層 1 4 の一部に n 型または p 型の不純物を注入し、前記と同様にソース領域 2 4 およびドレイン領域 2 6 を形成する。これによって、ゲート電極層 1 8 の上方に位置する、結晶化領域の一部がチャンネル領域 2 2 に設定される。前記レジスト層のパターン寸法を変更することによりソース領域 2 4 およびドレイン領域 2 6 の寸法を変更することができる。このようにして、半導体装置の半製品 1 0 を製造することができる。

【0 0 9 1】

この後、前記と同様の層間絶縁層を形成し、次いで加熱処理によりソース領域 2 4 およびドレイン領域 2 6 内の不純物の活性化を行う。この後、ソース領域 2 4 およびドレイン領域 2 6 の各領域の上方に位置する前記層間絶縁層の一部にコンタクトホールを形成する。次いで、ソース領域 2 4 およびドレイン領域 2 6 との電氣的な接続のためのソース電極層およびドレイン電極層を形成し、電氣的信号の伝達のための金属配線層を形成する。これにより、半導体装置としての多結晶シリコン薄膜トランジスタが得られる。

【0 0 9 2】

本発明に係る半導体装置の半製品の製造装置は、例えばロードロックの付いた枚葉式プラズマ C V D 装置であり、この装置の半導体層形成室に鉄、ニッケル、コバルトなどの金属が混入しないように半導体層形成室の内壁材料として鉄、ニッケル、コバルト等を含有する S U S 系の金属材料は用いられず、アルミニウム含有金属からなる材料が用いられる。フッ素系ガスによるクリーニング時にアルミニウムがフッ素と化合してフッ素化合物が形成され、内壁成分である金属元素が半導体層の形成中に層形成室内に進出せず、半導体層への混入が防止される。

【0 0 9 3】

内壁材料として、好ましくは、アルミニウム－マグネシウム系金属材料（日本工業規格の材料番号によれば A 5 0 0 0 番台の金属材料、例えば A 5 0 5 2 系の材料）、さらに好ましくは、アルミニウム－マグネシウム－シリコン系金属材料（同 A 6 0 0 0 番台の金属材料）またはアルミニウム銅系材料（同 A 2 0 0 0 番台の金属材料、例えば A 2 2 1 9 系の材料）を用いる。

【0 0 9 4】

半導体層形成室の内壁の表面粗さは 6 . 4 マイクロメートル以下であることが好ましい。これにより、内壁は不純物元素の付着が抑制されような平滑な表面を有し、内壁の清浄な状態を長期間にわたって保つことができる。

【0 0 9 5】

また、内壁の表層部分をフッ素と化合させて内壁表層に例えばフッ化マグネシウムアルミニウム層を形成することにより内壁がフッ素原子を含むようにし、この内壁面に、5 0 n m ～ 1 0 0 0 n m の厚さを有する非晶質の半導体層を形成す

ることにより、内壁に含まれるフッ素原子が層形成室内に進出することが非晶質の半導体層によって抑制される。

【0096】

内壁のベーキング処理時の加熱によるＯリングの損傷を最小限にするために、半導体層形成室内を外部から遮断するためのＯリングは、耐熱性を有するフッ素系ゴムからなることが好ましい。二重のＯリング例えば径の異なる２つのＯリングを用いれば効果である。また、２つのＯリングの間に間隙内の気体を排気装置によって取り除くことによって、前記気体による半導体層形成室の汚染が回避される。

【図面の簡単な説明】

【図１】

（a）は、本発明に係る半導体装置の半製品の実施例を概略的に示す図。（b）は、本発明に係る、他の半導体装置の半製品の実施例を概略的に示す図。

【図２】

本発明に係る半導体装置の半製品の実施例を説明するための表を示す図。

【図３】

本発明に係る半導体装置の半製品の実施例を説明するための表を示す図。

【図４】

本発明に係る半導体装置の半製品の実施例を説明するためのグラフを示す図。

【図５】

本発明に係る半導体装置の半製品の他の実施例を説明するための表を示す図。

【図６】

本発明に係る半導体装置の半製品の他の実施例を説明するための表を示す図。

【図７】

本発明に係る半導体装置の半製品の他の実施例を説明するためのグラフを示す図。

【図８】

本発明に係る半導体装置の半製品の他の実施例を概略的に示す図。

【図９】

従来の半導体装置の半製品およびその製造方法を概略的に示す図。

【符号の説明】

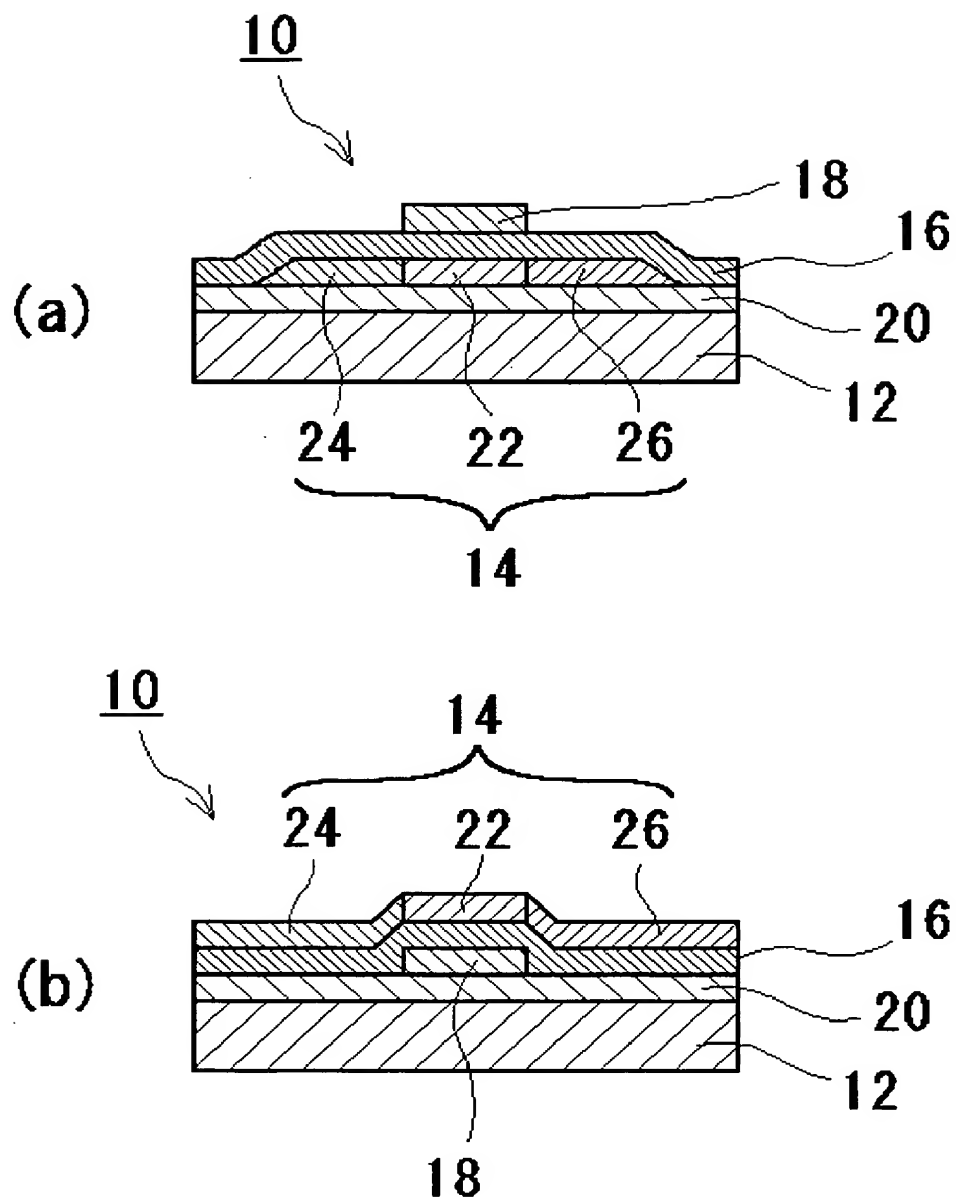
【符号の説明】

- 1 0 半導体装置の半製品
- 1 2 基板
- 1 4 半導体層
- 1 6 ゲート絶縁層
- 1 8 ゲート電極層
- 2 0 下地絶縁層
- 2 2 チャネル領域
- 2 4 ソース領域
- 2 6 ドレイン領域
- 2 8 層間絶縁層
- 3 0 ソース電極層
- 3 2 ドレイン電極層
- 3 4 金属配線層

【書類名】

図面

【図 1】



【図 2】

表 1

注入元素	炭 素	酸 素
加速エネルギー	100 KeV	130 KeV
試料番号	ドーズ量 (atoms/cm ²)	ドーズ量 (atoms/cm ²)
001	1.5×10^{13}	3×10^{12}
002	1.5×10^{13}	6×10^{12}
003	1.5×10^{13}	1.5×10^{13}
004	1.5×10^{13}	3×10^{13}
005	1.5×10^{13}	6×10^{13}
006	3×10^{13}	3×10^{12}
007	3×10^{13}	6×10^{12}
008	3×10^{13}	1.5×10^{13}
009	3×10^{13}	3×10^{13}
010	3×10^{13}	6×10^{13}
011	6×10^{13}	3×10^{12}
012	6×10^{13}	6×10^{12}
013	6×10^{13}	1.5×10^{13}
014	6×10^{13}	3×10^{13}
015	6×10^{13}	6×10^{13}

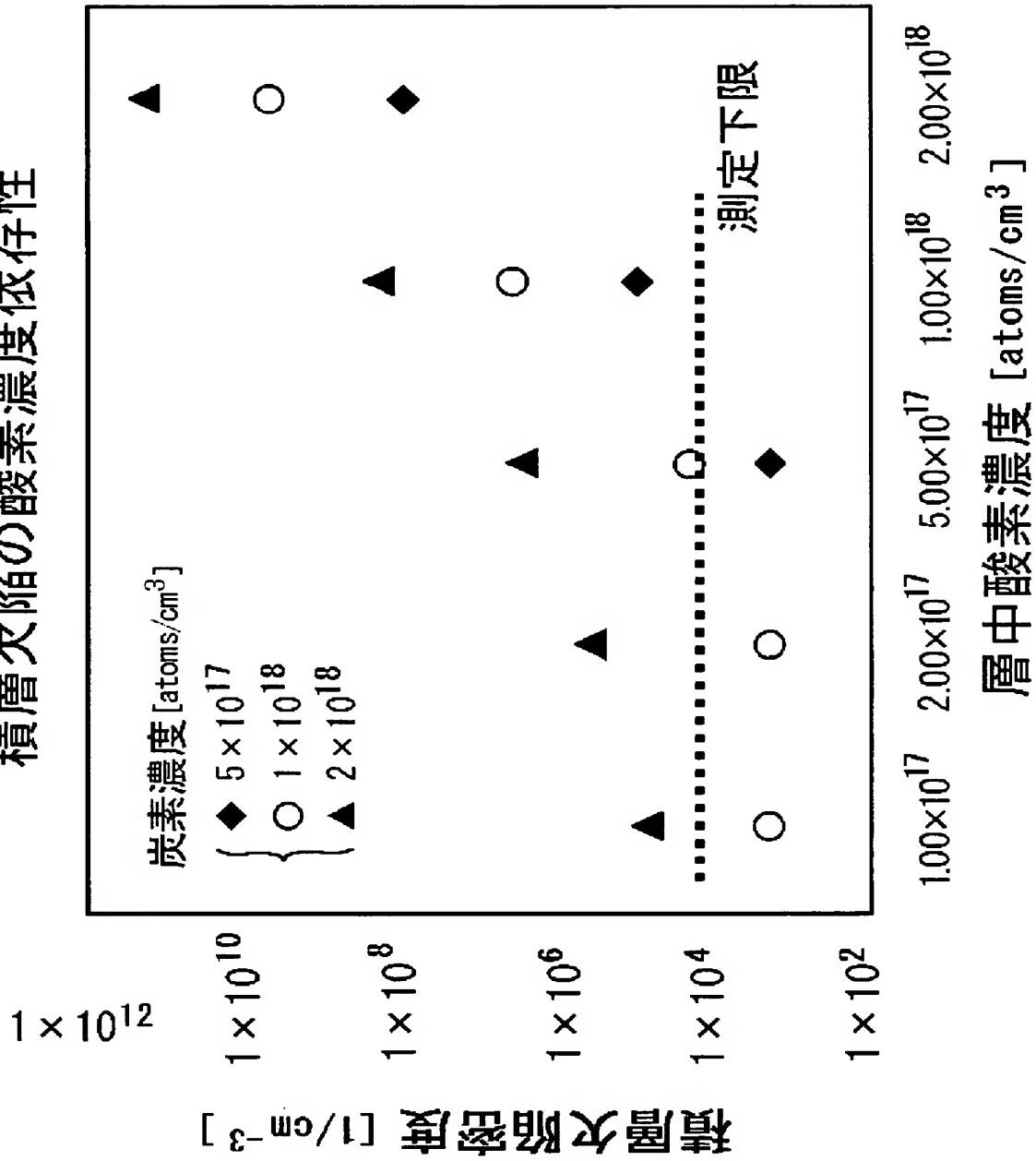
【図 3】

表 2

ドーズ量 (atoms/cm ²)	体 積 濃 度 (atoms/cm ³)	
	炭 素	酸 素
3×10^{12}		1×10^{17}
6×10^{12}		2×10^{17}
1.5×10^{13}	5×10^{17}	5×10^{17}
3×10^{13}	1×10^{18}	1×10^{18}
6×10^{13}	2×10^{18}	2×10^{18}

【図 4】

積層欠陥の酸素濃度依存性



【図 5】

表 3

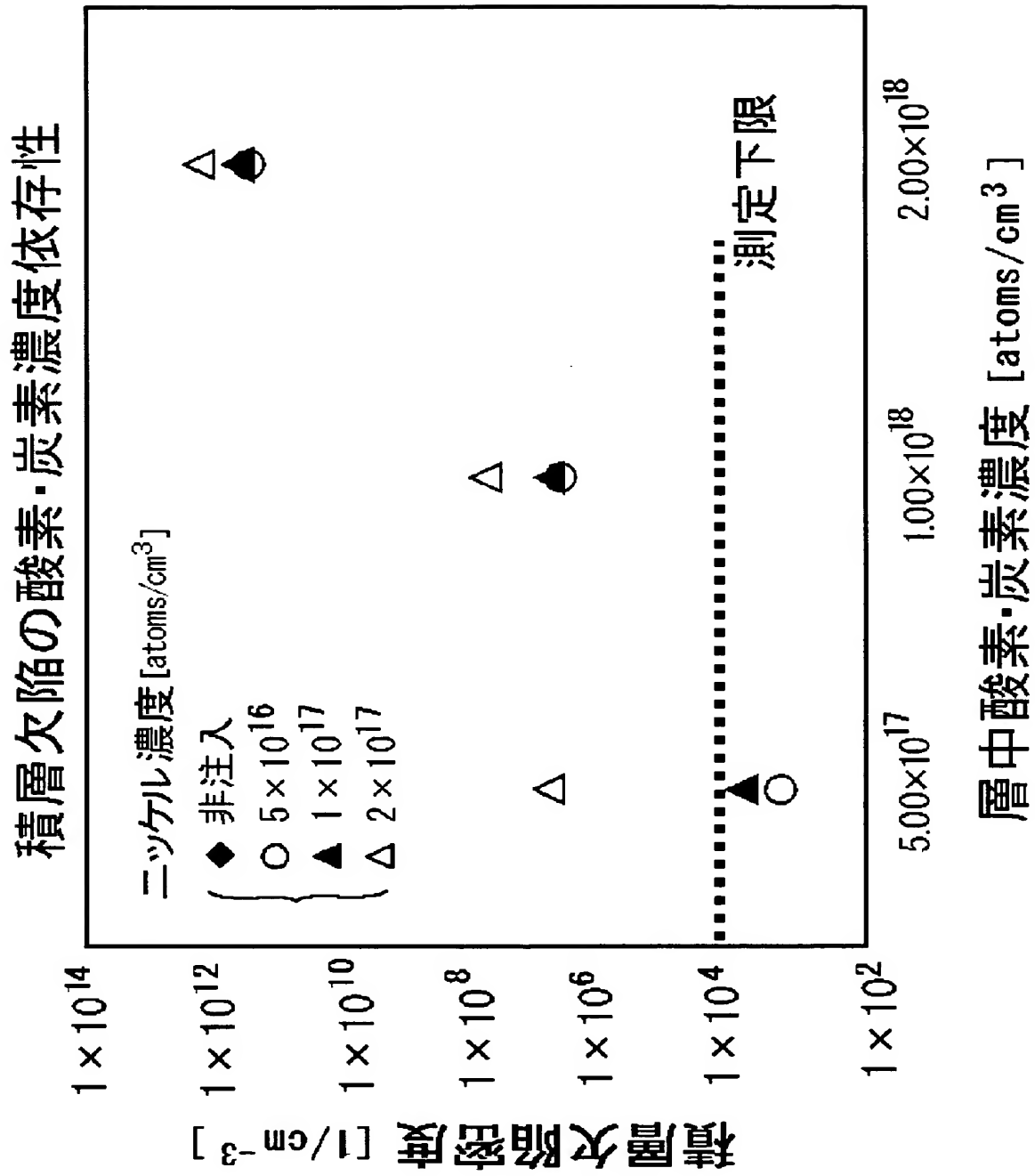
注入元素	炭 素	酸 素	ニッケル
加速エネルギー	100 KeV	130 KeV	100 KeV
試料番号	ドーズ量 (atoms/cm ²)	ドーズ量 (atoms/cm ²)	ドーズ量 (atoms/cm ²)
001	1.5×10^{13}	1.5×10^{13}	7×10^{11}
002	1.5×10^{13}	1.5×10^{13}	1.5×10^{12}
003	1.5×10^{13}	1.5×10^{13}	3×10^{12}
006	3×10^{13}	3×10^{13}	7×10^{11}
007	3×10^{13}	3×10^{13}	1.5×10^{12}
008	3×10^{13}	3×10^{13}	3×10^{12}
011	6×10^{13}	6×10^{13}	7×10^{11}
012	6×10^{13}	6×10^{13}	1.5×10^{12}
013	6×10^{13}	6×10^{13}	3×10^{12}

【図 6】

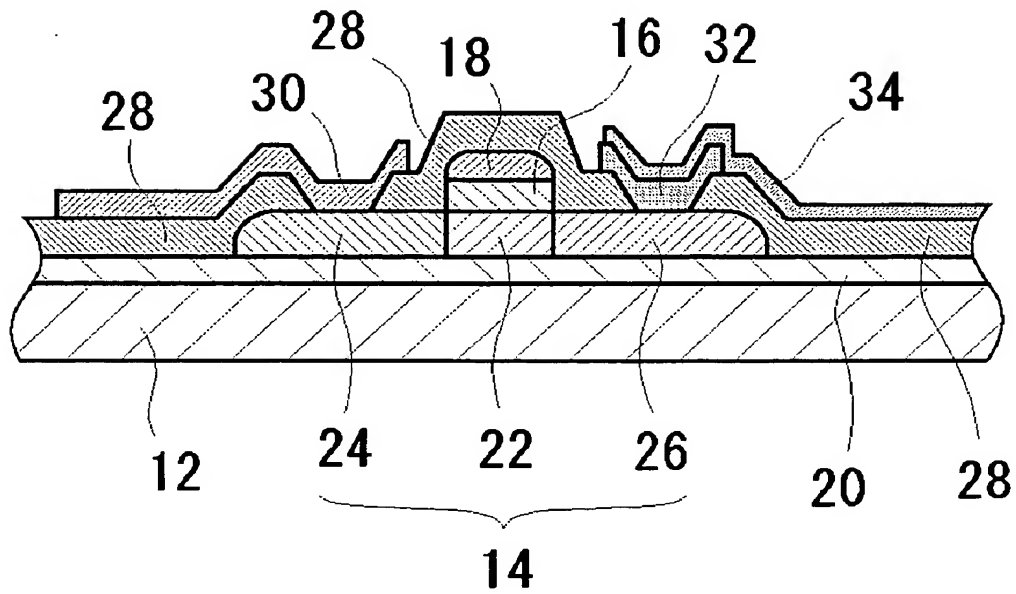
表 4

ニッケル	
ドーズ量 (atoms/cm ²)	体積濃度 (atoms/cm ³)
7×10^{11}	5×10^{16}
1.5×10^{12}	1×10^{17}
3×10^{12}	2×10^{17}

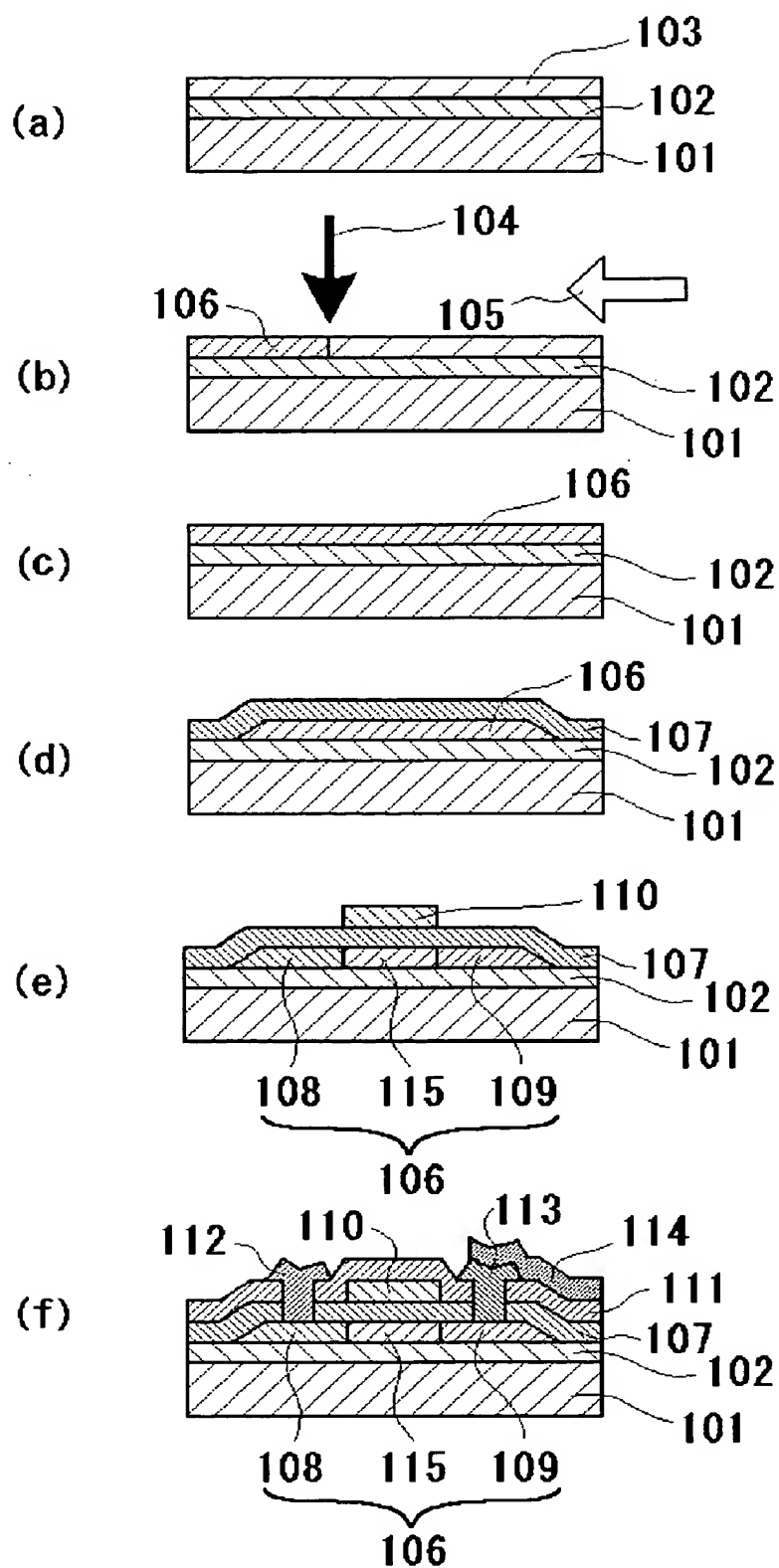
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 電気的な特性が向上された半導体装置および半導体装置の電気的な特性を向上させる半導体装置の半製品ならびに半製品の製造方法および製造装置を提供すること。

【解決手段】 半導体装置の半製品(10)は、基板(12)と、半導体層(14)と、ゲート絶縁層(16)と、ゲート電極層(18)とを含む半導体装置の半製品であって、半導体層は、ゲート電極層の下方または上方に位置する、結晶化されたチャネル領域(22)と、チャネル領域の側方に位置するソース領域(24)およびドレイン領域(26)とを有し、チャネル領域は、 1 cm^3 当たり 1×10^{18} 個以下の酸素原子と、 1 cm^3 当たり 1×10^{18} 個以下の炭素原子とを含む。

【選択図】 図1

特願 2,002-346806

出 願 人 履 歴 情 報

識別番号

[501286657]

1. 変更年月日
[変更理由]

2001年 7月18日
新規登録

住 所
氏 名

神奈川県横浜市戸塚区吉田町292番地
株式会社 液晶先端技術開発センター